



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0074926  
Application Number

출원년월일 : 2002년 11월 28일  
Date of Application NOV 28, 2002

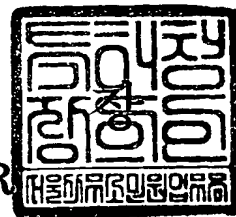
출원인 : 엘지전선 주식회사  
Applicant(s) LG Cable Ltd.



2003 년 11 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.28
【발명의 명칭】	피티씨 서미스터
【발명의 영문명칭】	PTC Thermister
【출원인】	
【명칭】	엘지전선 주식회사
【출원인코드】	1-1998-000283-2
【대리인】	
【성명】	최용원
【대리인코드】	9-1998-000658-1
【포괄위임등록번호】	2001-018764-9
【대리인】	
【성명】	이상용
【대리인코드】	9-1998-000451-0
【포괄위임등록번호】	2001-018766-3
【대리인】	
【성명】	김상우
【대리인코드】	9-2000-000210-2
【포괄위임등록번호】	2001-018768-8
【발명자】	
【성명의 국문표기】	한준구
【성명의 영문표기】	HAN, Jun Ku
【주민등록번호】	741110-1030128
【우편번호】	142-075
【주소】	서울특별시 강북구 수유5동 451-76
【국적】	KR
【발명자】	
【성명의 국문표기】	최수안
【성명의 영문표기】	CHOI, Su An
【주민등록번호】	700510-1162521



1020020074926

출력 일자: 2003/11/11

【우편번호】	463-060
【주소】	경기도 성남시 분당구 이매동 이매한신아파트 212동 1902호
【국적】	KR
【발명자】	
【성명의 국문표기】	고창모
【성명의 영문표기】	K0,Chang Mo
【주민등록번호】	720910-1398919
【우편번호】	423-060
【주소】	경기도 광명시 하안동 주공아파트 402동 910호
【국적】	KR
【발명자】	
【성명의 국문표기】	이안나
【성명의 영문표기】	LEE,An Na
【주민등록번호】	750329-2025620
【우편번호】	151-010
【주소】	서울특별시 관악구 신림동 409-124
【국적】	KR
【발명자】	
【성명의 국문표기】	이종환
【성명의 영문표기】	LEE,Jong Hwan
【주민등록번호】	730130-1177412
【우편번호】	431-051
【주소】	경기도 안양시 동안구 비산1동 479-2
【국적】	KR
【발명자】	
【성명의 국문표기】	김주담
【성명의 영문표기】	KIM,Ju Dam
【주민등록번호】	720925-1333511
【우편번호】	143-180
【주소】	서울특별시 광진구 능동 398-18
【국적】	KR



1020020074926

출력 일자: 2003/11/11

【발명자】

【성명의 국문표기】

이종호

【성명의 영문표기】

LEE, Jong Ho

【주민등록번호】

580420-1350314

【우편번호】

431-080

【주소】

경기도 안양시 동안구 호계동 555번지

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

최용원 (인) 대리인

이상용 (인) 대리인

김상우 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

8 면 8,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

8 항 365,000 원

【합계】

402,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

본 PTC 서미스터는 상면과 하면을 가지는 저항소자, 상기 저항소자의 상면에 형성되는 것으로서 비전도성 겹을 사이에 두고 서로 맞물려 있는 제 1전도층과 제 2전도층, 상기 저항소자의 하면에 전기적으로 분리되어 있는 제 1전극과 제 2전극 및 상기 제 1전도층과 제 1전극을 전기적으로 연결하는 제 1연결부와 상기 제 2전도층과 제 2전극을 전기적으로 연결하는 제 2연결부를 포함한다.

바람직하게, 본 PTC 서미스터에 있어서 상기 맞물려 있는 제 1전도층과 제 2전도층은 극성이 다른 전압이 인가되어 인접하는 전도층 및 상기 저항소자와 함께 저항체를 형성하고, 각 저항체는 병렬로 구성되어 전류흐름을 증가시키는 것을 포함한다.

## 【대표도】

도 4

## 【색인어】

PTC 소자, 전도층, 전극, 교차

## 【명세서】

## 【발명의 명칭】

피티씨 서미스터{PTC Thermister}

## 【도면의 간단한 설명】

본 명세서에 첨부되는 다음의 도면들은 본 발명의 바람직한 실시예를 예시하는 것이며, 후술하는 발명의 상세한 설명과 함께 본 발명의 기술사상을 더욱 이해시키는 역할을 하는 것이므로, 본 발명은 그러한 도면에 기재된 사항에만 한정되어 해석되어서는 아니 된다.

도 1은 종래 발명에 따른 PTC 서미스터의 구조를 나타낸 도면이다.

도 2는 본 발명의 일 실시예에 따른 PTC 서미스터의 상부 평면도이다.

도 3은 본 발명의 일 실시예에 따른 PTC 서미스터 하부 평면도이다.

도 4는 도 2 도시된 구조를 A-A'에 따라 절단한 단면도이다.

도 5a 내지 도 5c는 본 발명의 일 실시예에 따라 전도층과 전극을 연결하는 방식을 나타낸 도면이다.

도 6a와 도 6b는 본 발명의 일 실시예에 따라 전도층과 전극을 연결하는 또 다른 방식을 나타낸 도면이다.

도 7은 본 발명의 일 실시예에 따른 PTC 서미스터의 전류흐름을 나타낸 도면이다.

도 8a 및 8b는 라미네이터 구조의 PTC 서미스터 복수 개를 병렬로 연결한 상태를 나타낸 도면이다.

도 9는 상기 도 8a 및 8b의 구조를 회로도로 나타낸 것이다.

도 10은 상기 도 9의  $R_1$ ,  $R_2$ ,  $R_3$  저항 중, 저항  $R_2$ 에 인가되는 내부저항을 나타내는 회로도이다.

도 11은 본 발명에 따라 상기 도 9의  $R_1$ ,  $R_2$ ,  $R_3$  저항 중, 저항  $R_2$ 에 인가되는 내부저항을 나타내는 회로도이다.

도 12는 본 발명의 또 다른 실시예에 따른 PTC 서미스터 구조의 상부 평면도이다.

도 13은 본 발명의 또 다른 실시예에 따른 PTC 서미스터 구조의 하부 평면도이다.

도 14는 상기 도 12와 도 13에 도시된 구조를 B-B'에 따라 절단한 단면도이다.

도 15는 본 발명의 또 다른 일실시예에 따른 PTC 서미스터 구조의 상부 평면도이다.

도 16은 본 발명의 또 다른 일실시예에 따른 PTC 서미스터 구조의 하부 평면도이다.

도 17은 상기 도 15와 도 16에 도시된 구조를 C-C'에 따라 절단한 단면도이다.

<도면 주요 참조부호에 대한 간단한 설명>

10..저항소자	20,20a..제 1전도층	30,30a.. 제 2전도층
41,42,43,44..측면	50,51,52,53,54,55,56..비전도성갭	
60..제 1전극	70..제 2전극	80,82,84,86,88..연결부
120,220..제 1전도층	130,230..제 2전도층	150,250..비전도성갭
160,260..제 1전극	170,270..제 2전극	262,272..단부

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <25>        본 발명은 피티씨 서미스터에 관한 것으로, 더욱 상세하게는 인쇄회로기판에 장착되어 회로를 보호하는 기능을 하는 표면실장형 피티씨 서미스터에 관한 것이다.
- <26>        많은 전도성 물질의 고유저항은 온도에 따라 변한다고 알려져 있다. 통상적으로 서미스터(thermistor)라고 불리며, 대표적으로 온도 상승과 함께 저항치가 감소하는 NTC(Negative Temperature Coefficient)와 온도 상승과 함께 저항치가 증가하는 PTC(Positive Temperature Coefficient)로 구분된다.
- <27>        상기 PTC 물질은 상온과 같은 낮은 온도에서는 저항이 낮아 전류를 통과시키지만, 주위의 온도가 상승하거나 과전류로 인해 물질의 온도가 상승하게 되면 저항이 처음상태보다 약 1000 ~ 10000 이상으로 증가하여 흐르던 전류를 차단하기 때문에 회로기판에 실장되어 과전류를 억제하는 소자로서 이용된다.
- <28>        하지만, 인쇄회로기판(printed circuit board;PCB)은 여러 장치들이 그 위에 장착되기 때문에 현대와 같이 경박단소의 흐름에서는 제약을 많이 받는 장치이다. 따라서, 상기와 같은 제약을 회피하기 위해 여러 가지 형태가 제안되고 있으며, 그 중에서 가장 일반적인 형태로는 한 쌍의 라미네이터 전극 사이에 스위칭되는 PTC 소자이다.
- <29>        도 1은 미국특허 제5,907,272호의 PTC 서미스터 구조를 도시한 것으로, 그 구조 및 제조 방법을 간단히 살펴보면 PTC 소자(210)를 사이에 두고 상하면에 제 1전극(250)과 제 2전극(260)을 라미네이트하였다. 또한, PTC 소자와 제 1전극 및 제 2전극의 외부 전면을 절연층

(280)으로 감싸고, 전극을 노출시키기 위한 겹(290, 300)을 절연층에 각각 형성하였다. 겹이 형성되면, 상기 PTC 서미스터를 인쇄회로기판(미도시)에 실장할 수 있도록 PTC 소자의 상하면에 있는 제 1전극(250) 및 제 2전극(260) 중 어느 한 전극을 다른 면으로 이동시킨다. 이를 위해, 상기 종래 발명에서는 솔더물질을 하면 겹(300)에 도포 하여 제 1전극(250)과 전기적으로 연결된 터미널(320)을 하면 일측에 형성하고, 이어서 솔더물질을 상기 상면 겹(290)과 절연층(280) 외부의 상면과 측면 및 하면을 감싸도록 도포 하여 상기 PTC 소자의 상면에 위치한 제 2전극(260)과 전기적으로 연결된 터미널(310)을 하면 타측에 형성하였다.

<30> 하지만, 상기와 같이 PTC 서미스터의 일측 전극을 통전시켜 타측으로 연결하는 방식은 구조적으로 비대칭 형상을 가지기 때문에, 좌우의 응력분포가 일정하지 않아 톰스톤(Tomb Stone)현상을 발생시킨다. 또한, 상기 종래 발명은 전류의 흐름이 주로 상면과 하면 사이에만 존재하기 때문에, 인쇄회로기판의 한정된 공간에서 PTC 서미스터의 저항을 낮추기 위해서는 단층의 PTC 서미스터를 적층하는 방법을 사용할 수밖에 없었다.

#### 【발명이 이루고자 하는 기술적 과제】

<31> 본 발명은 상기와 같은 문제점을 해결하기 위해 창안된 것으로서, 구조적으로 대칭형상을 가지면서 PTC 서미스터의 일면에 극성이 다른 전도층을 맞물리도록 배치함으로써 전류의 흐름 경로를 많이 제공하여 전류의 흐름을 증가시킬 수 있는 PTC 서미스터를 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<32> 상기와 같은 목적을 달성하기 위하여 본 발명에 따른 PTC 서미스터는 상면과 하면을 가지는 저항소자, 상기 저항소자의 상면에 형성되는 것으로서 비전도성 겹을 사이에 두고 서로

맞물려 있는 제 1전도층과 제 2전도층, 상기 저항소자의 하면에 전기적으로 분리되어 있는 제 1전극과 제 2전극 및 상기 제 1전도층과 제 1전극을 전기적으로 연결하는 제 1연결부와 상기 제 2전도층과 제 2전극을 전기적으로 연결하는 제 2연결부를 포함한다.

- <33> 바람직하게, 본 PTC 서미스터에 있어서 상기 맞물려 있는 제 1전도층과 제 2전도층은 극성이 다른 전압이 인가되어 인접하는 전도층 및 상기 저항소자와 함께 저항체를 형성하고, 각 저항체는 병렬로 구성되어 전류흐름을 증가시키는 것을 포함한다.
- <34> 또한, 상기 비전도성갭의 폭은 상기 전도층과 전극의 거리보다 작으며, 상기 저항소자는 정온계수 특성을 가지는 폴리머이고, 상기 전도층은 구리 또는 구리 합금으로 형성하는 것이 바람직하다.
- <35> 본 발명의 또 다른 측면에 따르면, 본 PTC 서미스터는 상면과 하면을 가지는 저항소자, 상기 저항소자의 상면에 형성되는 것으로서 비전도성 갭을 사이에 두고 서로 맞물려 있는 제 1전도층과 제 2전도층, 상기 저항소자의 하면에 형성되는 것으로서 비전도성 갭을 사이에 두고 서로 맞물려 있는 제 1전극과 제 2전극 및 상기 제 1전도층과 제 1전극을 전기적으로 연결하는 제 1연결부와 상기 제 2전도층과 제 2전극을 전기적으로 연결하는 제 2연결부를 포함한다.
- <36> 바람직하게, 본 PTC 서미스터에 있어서 상기 맞물려 있는 제 1전도층과 제 2전도층은 극성이 다른 전압이 인가되어 인접하는 전도층 및 상기 저항소자와 함께 저항체를 형성하고, 각 저항체는 병렬로 구성되어 전류흐름을 증가시키는 것을 포함하며, 더욱 바람직하게 상기 비전도성갭의 폭은 상기 전도층과 전극의 거리보다 작은 것을 포함한다.
- <37> 이하 첨부된 도면을 참조로 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해

서 해석되어서는 아니 되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

<38> 도 2 및 도 3은 본 발명의 일 실시예에 따른 PTC 서미스터의 구조를 나타낸 상하 평면도이며, 도 4는 상기 도 2의 구조에 있어서 A-A'를 절단한 단면도이다. 상기 도면들을 참조하면, 본 PTC 서미스터는 상하면을 가지는 저항소자, 상기 저항소자의 상면에 라미네이터 되어 있는 전도층, 상기 저항소자의 하면에 라미네이터 되어 있는 전극층 및 상기 전도층과 전극층을 전기적으로 연결하는 연결부를 포함한다.

<39> 좀 더 자세히 설명하면, 저항소자(10)는 전도성입자들이 내부에 분산되어 전기적으로 PTC의 성질을 가지는 폴리머 및 PTC 조성물, 또는 대안으로 NTC 조성물로 구성된다. 상기 폴리머에는 폴리에틸렌, 폴리프로필렌, 에틸렌/프로필렌 중합체 등이 채용될 수 있으며, 전도성 입자로는 카본 블랙 또는 기타 금속재의 입자들이 채용될 수 있다.

<40> 상기 저항소자(10)의 상면에는 비전도성갭(50)을 사이에 두고 서로 전기적으로 분리되어 있는 제 1전도층(20)과 제 2전도층(30)이 형성되어 있다. 상기 제 1전도층(20)과 제 2전도층(30)은 저항소자(10)의 상면에 금속 호일을 압착가공거나 또는 무전해 및 전해 도금을 실시하여 하나의 전도층으로 형성하며, 사용가능한 금속으로는 전도성이 우수한 구리 또는 구리 도금합금이 바람직하다. 하나의 전도층을 형성하면 전기적으로 연결되지 않도록 비전도성갭(50)을 에칭 또는 기계적 가공에 의해 형성하여 제 1전도층(20)과 제 2전도층(30)으로 분리시킨다. 이

때, 상기 비전도성갭(50)의 폭은 저항소자(10)의 상면에 형성되는 전도층과 하면에 형성되는 전극층의 거리보다 짧게 하여 가장 인접하는 전도층 및 전극 사이로 전류가 충분히 흐르도록 하는 것이 바람직하다.

<41> 바람직하게, 상기 비전도성갭(50)을 중심으로 제 1전도층(20)과 제 2전도층(30)은 서로 맞물리도록 배치되어 있다. 맞물리는 형태는 도 2와 같이 평면상의 사각 요철 패턴 외에도 삼각 요철, 지그재그 자유형, 산과 마루를 가지는 파형 등이 채용될 수 있다. 도 2를 보다 구체적으로 설명하면, 제 1비전도성갭(51)은 제 1측면(41)과 인접한 위치에 제 1측면과 평행하게 설치되어 있으며, 제 2비전도성갭(52)은 상기 제 1비전도성갭(51)에서 절곡되어 제 3측면(43)과 인접하면서 제 1비전도성갭(51)과 수직하게 형성되어 있다. 또한, 제 3비전도성갭(53)은 상기 제 2비전도성갭(52)에서 절곡되어 상기 제 1비전도성갭(51)과 평행하며 전체적으로는 저항소자의 상면 중앙에 위치한다. 아울러, 제 4비전도성갭(54)과 제 5비전도성갭(55)은 제3비전도성갭(53)을 중심으로 상기 제 1비전도성갭(51), 제 2비전도성갭(52)과 대칭 되는 제4측면(44)과 제 2측면(42)에 인접하게 형성된다. 따라서, 상기 제 1비전도성갭(51) 내지 제 5비전도성갭(55)을 중심으로 제 3측면(43) 측으로 제 1전도층(20)이 위치하고, 제 4측면(44) 측으로 제 2전도층(30)이 대칭적으로 위치한다.

<42> 상기 저항소자(10)의 하면에는 도 3과 같이 비전도성갭(56)에 의해 전기적으로 분리되어 있는 제 1전극(60)과 제 2전극(70)이 형성되어 있다. 상기 전극은 상술한 전도층의 형성과 같은 방법으로 설치됨으로 별도의 설명은 생략한다.

<43> 다시, 본 장치를 상기 도 2의 A-A'면 예컨대, 제 1측면(41)에서 제 2측면(42)으로 절단한 도 4를 참조해서 살펴보면, 도면의 좌측에 위치하는 제 2측

면(42)으로부터 제 2전도층(30), 제 5비전도성겹(55), 제 1전도층(20), 제 3비전도성겹(53), 제 2전도층(30), 제 1비전도성겹(51), 제 1전도층(20) 및 제 1측면(41)이 차례로 위치하고 있다. 즉, 제 1전도층(20)과 제 2전도층(30)이 상호간에 교대로 위치하게 된다.

<44>       상기와 같은 구조를 가지는 PTC 서미스터를 인쇄회로기판에 실장하기 위해서는 종래 기술에서 서술한 바와 같이 전극이 동일한 면에 위치하고 있어야 한다. 따라서, 상기 제 1전도층(20)과 제 1전극(60) 및 제 2전도층(30)과 제 2전극(70)을 서로 전기적으로 연결하는 연결부가 측면에 형성된다.

<45>       도 5a 내지 도 5c 및 도 6a 내지 도 6b는 저항소자의 양면에 형성된 상기 전도층(20, 30)과 전극(60, 70)을 통전시키는 방법을 나타낸 도면이다. 도 5a 내지 도 5c는 전도층과 전극의 전기적 연결부로서, PTC 시트 상태의 서미스터 측면을 슬릿을 내어 노출시키고, 노출된 측면을 도금하여 전도층과 전극을 연결한 것이다. 도 5a부터 살펴보면, 제 1전도층(20)과 미도시된 하면의 제 1전극을 전기적으로 연결하기 위해 제 1측면(41)에 슬릿형태의 연결부(80)를 형성했다. 같은 방식으로, 도 5b는 슬릿형태의 연결부(82)를 제 3측면(43)의 일부에 형성한 것을 나타내며, 도 5c는 연결부(84)를 슬릿형태로 제 1측면(41)과 제 3측면(43) 일부에 형성하여 제 1전도층(20)과 제 1전극을 전기적으로 연결한 것이다. 이때, 주의할 것은 상기 제 3측면(43)에 슬릿을 형성할 때는 미도시된 하면의 제 1전극이 형성되어 있는 길이만큼만 연결부가 형성되어야 한다. 아울러, 제 2전도층(30)과 제 2전극도 동일한 방식을 채용해서 전기적으로 연결되는 것은 물론이다.

<46>       도 6a 내지 도 6b는 상기 도 5a 내지 도 5c의 슬릿방식 대안으로 쓰루홀(through-hole)을 이용하여 전도층과 전극을 통전시킨 것이다. 쓰루홀을 형성하는 방법은 PTC 서미스터의 측면에 펀칭 또는 탭핑 머신과 같은 기계적 장치를 이용하여 구멍을 형성시키고, 형성된 구멍의 내주

면을 도금 또는 납조에 함침 시킴으로서 전도층과 전극을 전기적으로 연결하는 것이다. 먼저, 도 6a를 살펴보면, PTC 서미스터의 제 1측면(41)과 제 2측면(42)에 쓰루홀 형태의 연결부(86)를 형성하여 제 1전도층(20)과 제 1전극 및 제 2전도층(30)과 제 2전극을 전기적으로 연결하였다. 또한, 도 6b의 경우에 있어서는 제 3측면(43)과 제 4측면(44) 일부에 쓰루홀 형태의 연결부(88)를 형성하여 전도층과 전극을 연결하였다.

<47> 바람직하게, 본 발명의 PTC 서미스터는 상기와 같이 전도층과 전극을 연결할 때 저항소자의 상하 대향면에 서로 다른 극성이 위치하도록 연결부를 구성함으로써 전류의 흐름을 더욱 증가시킬 수 있다. 일 예로서, 상기 본 발명의 일 실시예에 의해 제조된 PTC 서미스터를 인쇄회로기판(미도시)에 실장하고 전원을 인가했을 때의 전류 흐름을 도 7에 나타내었다. 제 2전극(70)을 통해 PTC 서미스터 내부로 들어온 전류는 PTC 소자(10)를 거쳐 인접한 제 1전극(60)으로 직접 이동하거나, 또는 PTC 소자(10)를 거쳐 인접한 제 1전도층(20a)으로 이동한 후 미도시된 측면의 연결부를 거쳐서 제 1전극(60)으로 빠져나간다. 또한, 제 2전극(70)을 통해 들어온 전류는 고분자인 PTC 소자(10)를 거쳐가는 것보다 금속간을 흐르는 것이 더 빠르므로, 일부는 제 2전극(70)과 전기적으로 연결되어 있는 측면의 연결부를 거쳐 상면의 제 2전도층(30a)을 거친 후 제 1전극(60)으로 직접 빠져나가거나, 또는 인접하고 있는 제 1전도층(20a)을 거쳐 측면의 연결부를 지나서 1전극(60)으로 빠져나가게 된다.

<48> 본 발명은 종래 기술과 달리 비전도성갭을 경계면으로 가지며 인접하고 있는 제 1전도층(20)과 제 2전도층(30)을 맞물리게 구성함으로써, 서로 다른 전극이 인가되는 인접 전도층과 내부의 저항소자가 일종의 저항체를 형성하게 된다. 또한, 상기 제 1전도층과 제 2전도층은 경계면을 중심으로 엇갈리게 배치되어 있으므로, 전체적으로 볼 때는 극성이 교차하는 저항체 복수 개를 병렬로 형성한 구조를 가지게 된다.

- <49> 도 8a 및 도 8b는 라미네이트 구조의 PTC 서미스터가 비전도성갭에 의해 세 개의 전도층으로 분리되고, 각각의 분리된 전도층은 전극에 병렬로 연결되어 있는 상태를 나타낸 것이며, 도 9는 상기 도 8a 및 도 8b의 병렬 구조를 간단히 회로도로서 나타낸 것이다.
- <50> 도 10과 도 11은 상기 도 8a 및 도 8b의 구조를 가지는 PTC 서미스터에 전류가 흐르게 될 때 저항  $R_2$ 에 인가되는 저항값을 알아보기 위한 것이다. 도 10은 도 8a와 같이 전도층이 서로 엇갈려 배치되지 않았을 때의 회로도로서, 동일면 상에 위치하는 전극은 동일한 극성을 가지게 된다. 따라서, 전류가 흐르게 되더라도 인접하는 전도층간에는 동일한 극성을 가지게 되기 때문에, 대향하고 있는 전도층간의 경로로만 전류가 흐르게 된다. 이때의 저항  $R_2$ 에 인가되는 저항값을 계산해 보면  $r$ 이 됨을 알 수 있다.
- <51> 반면에, 도 11은 상기 도 8b와 같이  $R_2$ 에 위치하는 전도층의 극성이 엇갈려 배치되고 있을 경우의 회로도를 나타낸 것으로서, 전류가 흐르게 되면 대향하는 전도층 사이뿐만 아니라 엇갈려 배치된 예컨대, 맞물린 전도층 사이에도 전류가 흐르게 된다. 따라서, 전류가 흐를 수 있는 경로가 증가되기 때문에 전류의 흐름이 많아지게 되며, 결과적으로 저항이 떨어지게 된다. 이때의 저항을 계산해 보면  $R_2$ 에 인가되는 저항은  $r/3$ 가 된다.
- <52> 본 발명의 또 다른 실시예로서, 전류가 흐르는 경로를 더욱 증가시킨 형태의 PTC 서미스터의 구조를 도 12와 도 13에 나타내었다. 도 12는 저항소자의 상면에 비전도성갭(150)을 사이에 두고 상호간에 맞물리는 제 1전도층(120)과 제 2전도층(130)을 상기 일 실시예보다 더 많은 평면 사각 요철 형태로 배치하여 전류의 흐름 경로를 증가시킨 것이다. 도 13은 저항소자의 하면을 나타낸 것으로서, 상기 일 실시예와 같이 전기적으로 분리된 제 1전극(160)과 제 2전극(170)이 형성되어 있다. 상기와 같은 구조를 가진 PTC 서미스터의 전류흐름을 도 14에 나타

내었다. 도 14는 도 12를 B-B'로 절단한 상태를 도시하고 있으며, 전류가 인가되었을 경우 상호 교대로 위치하고 있는 전도층들이 전류가 흐를 수 있는 경로를 형성함으로써, 저항을 낮추게 된다. 도 14의 도면 부호 중 도 12 및 도 13과 동일한 부호를 가지는 것은 같은 기능을 하는 것으로 설명은 생략한다.

<53> 본 발명의 또 다른 일 실시예를 도 15와 도 16에 도시하였다. 도 15는 저항소자의 상면을 나타낸 것으로 서로 다른 극성을 가지는 제 1전도층(220)과 제 2전도층(230)을 비전도성갭(250)을 경계로 서로 맞물리도록 배치하였다. 또한, 도 16은 상기 저항소자의 하면을 나타낸 것으로, 전극이 인가되는 제 1전극(260)과 제 2전극(270)이 위치하는 PTC 서미스터의 양측 단부(262, 272)를 제외하고 상기 저항소자의 상면과 같이 전극층에 평면 요철 형상의 패턴을 비전도성갭(250)을 사이에 두고 형성하여 전류가 흐를 수 있는 경로를 증가시켰다. 따라서, 전원이 인가되면 인접하는 전도층 사이로 전류가 용이하게 이동되어 저항이 낮아지게 된다. 한편으로, 상기 평면 요철 패턴의 간격을 인쇄회로기판(미도시)의 전선폭 크기로 제조할 경우에는 PTC 서미스터의 양쪽 단부도 동일한 패턴으로 구성할 수 있으며, 나아가 상부 패턴과 하부 패턴을 동일한 형상으로 제조 가능하다. 또한, 본 발명에서는 요철 형상 패턴을 도면상에서 좌우 방향으로 형성하였으나, 상하방향으로 패턴을 형성하여도 똑같은 결과를 유도함은 물론이다. 상기와 같은 구조를 가진 PTC 서미스터의 전류흐름을 도 17에 나타내었다. 도 17은 도 15를 C-C'로 절단한 상태를 도시하고 있으며, 전류가 인가되었을 경우 상호 교대로 위치하고 있는 전도층들이 전류가 흐를 수 있는 경로를 형성함으로써, 저항을 낮추게 된다. 도 17의 도면 부호 중 도 15 및 도 16과 동일한 부호를 가지는 것은 같은 기능을 하는 것으로 설명은 생략한다.

<54>       이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 기술사상과 아래에 기재될 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

**【발명의 효과】**

<55>       본 PTC 서미스터는 구조적으로 대칭형상을 가지기 때문에 구조의 비대칭형상으로 인해 발생하는 톰스톤현상을 방지할 수 있다. 또한, PTC 서미스터의 일면에 극성이 다른 전도층을 비전도성갭을 사이에 두고 서로 맞물리도록 배치시킴으로서 전류의 흐름을 증가시켜 PTC 서미스터의 저항 특성을 향상시켰다.

**【특허청구범위】****【청구항 1】**

PTC 서미스터에 있어서,

상면과 하면을 가지는 저항소자;

상기 저항소자의 상면에 형성되는 것으로서 비전도성 겹을 사이에 두고 서로 맞물려 있는 제 1전도층과 제 2전도층;

상기 저항소자의 하면에 전기적으로 분리되어 있는 제 1전극과 제 2전극;

상기 제 1전도층과 제 1전극을 전기적으로 연결하는 제 1연결부;

상기 제 2전도층과 제 2전극을 전기적으로 연결하는 제 2연결부;를 포함하는 PTC 서미스터.

**【청구항 2】**

제 1항에 있어서,

상기 맞물려 있는 제 1전도층과 제 2전도층은 극성이 다른 전압이 인가되어 인접하는 전도층 및 상기 저항소자와 함께 저항체를 형성하고, 각 저항체는 병렬로 구성되어 전류흐름을 증가시키는 것을 특징으로 하는 PTC 서미스터.

**【청구항 3】**

제 1항 또는 제 2항에 있어서,

상기 비전도성겹의 폭은 상기 전도층과 전극의 거리보다 작은 것을 특징으로 하는 PTC 서미스터.

**【청구항 4】**

제 1항에 있어서,

상기 저항소자는 정온계수 특성을 가지는 폴리머인 것을 특징으로 하는 PTC 서미스터

**【청구항 5】**

제 1항에 있어서,

상기 전도층은 구리 또는 구리 합금으로 형성되는 것을 특징으로 하는 PTC 서미스터.

**【청구항 6】**

PTC 서미스터에 있어서,

상면과 하면을 가지는 저항소자;

상기 저항소자의 상면에 형성되는 것으로서 비전도성 겹을 사이에 두고 서로 맞물려 있는 제 1전도층과 제 2전도층;

상기 저항소자의 하면에 형성되는 것으로서 비전도성 겹을 사이에 두고 서로 맞물려 있는 제 1전극과 제 2전극;

상기 제 1전도층과 제 1전극을 전기적으로 연결하는 제 1연결부; 및

상기 제 2전도층과 제 2전극을 전기적으로 연결하는 제 2연결부;를 포함하는 PTC 서미스터.

**【청구항 7】**

제 6항에 있어서,

상기 맞물려 있는 제 1전도층과 제 2전도층은 극성이 다른 전압이 인가되어 인접하는 전도층 및 상기 저항소자와 함께 저항체를 형성하고, 각 저항체는 병렬로 구성되어 전류흐름을 증가시키는 것을 특징으로 하는 PTC 서미스터.

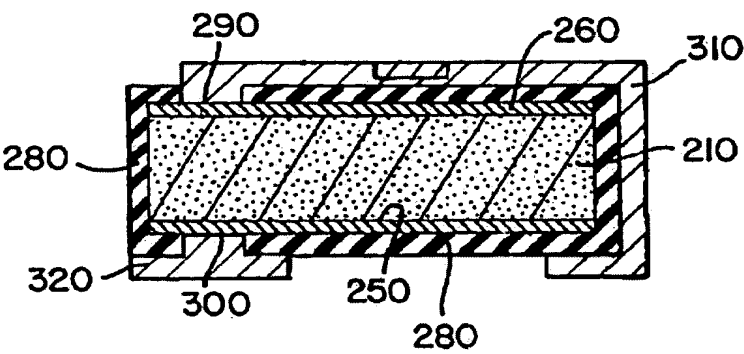
**【청구항 8】**

제 6항 또는 제 7항에 있어서,

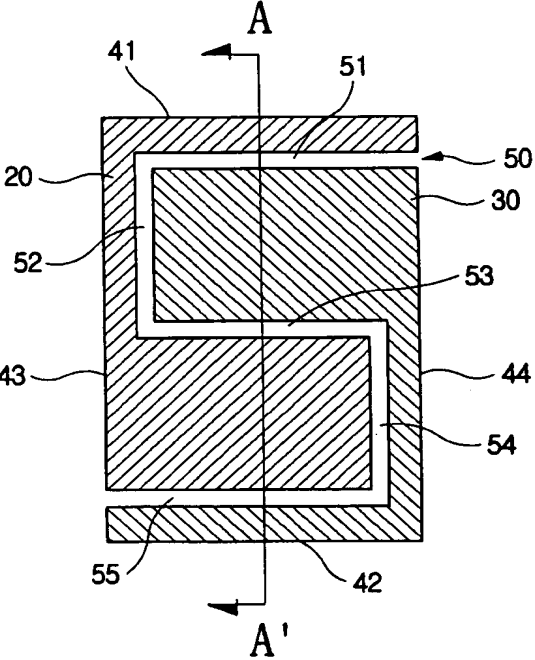
상기 비전도성갭의 폭은 상기 전도층과 전극의 거리보다 작은 것을 특징으로 하는 PTC 서미스터.

【도면】

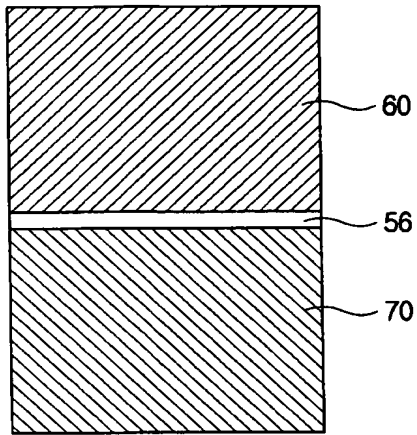
【도 1】



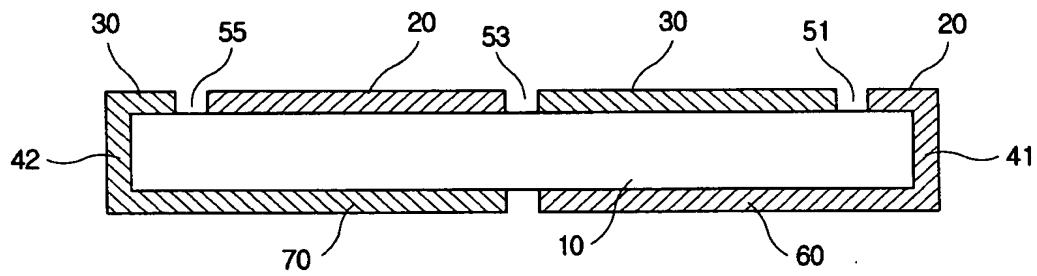
【도 2】



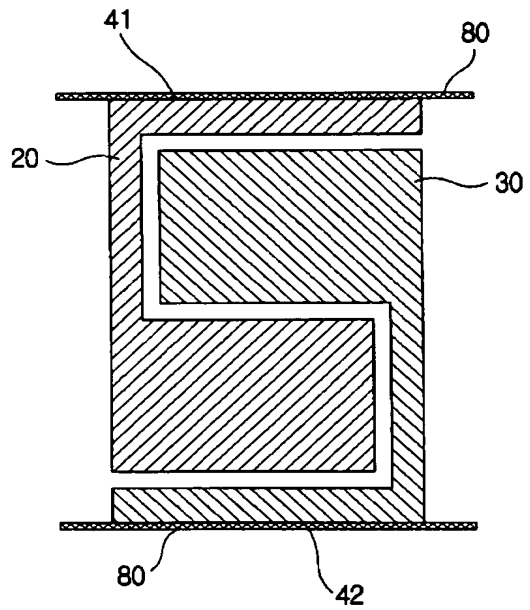
【도 3】

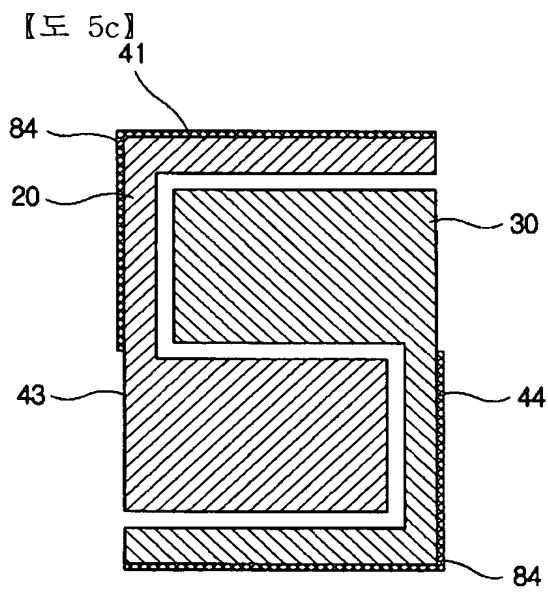
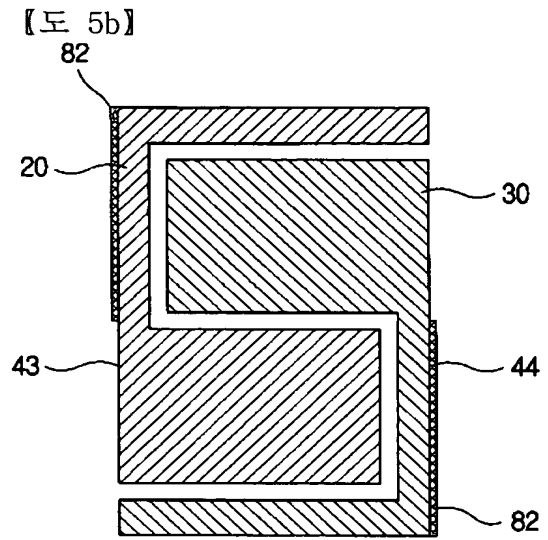


【도 4】



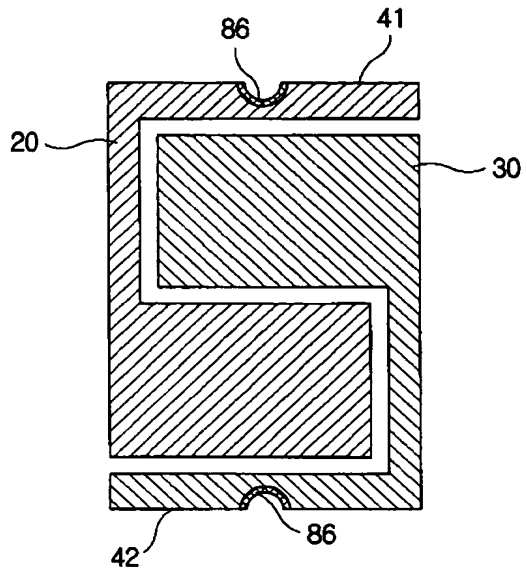
【도 5a】



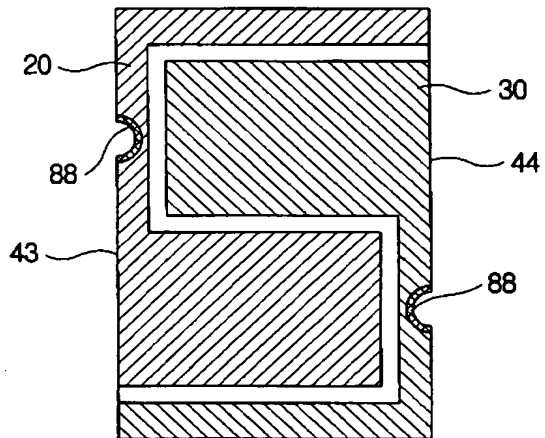




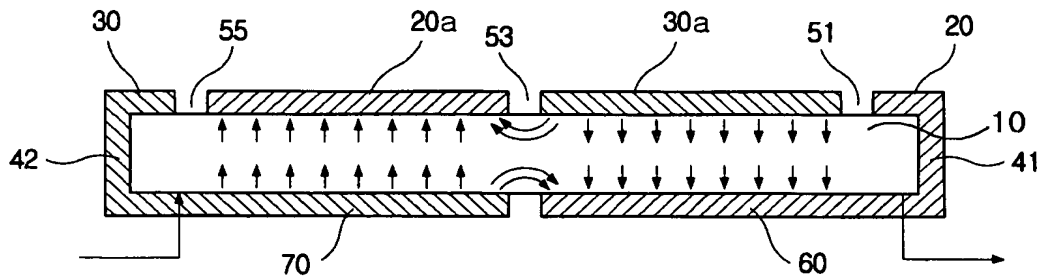
【도 6a】



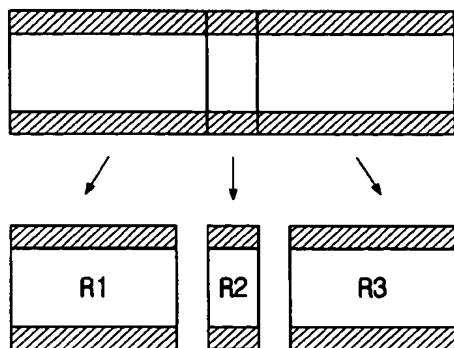
【도 6b】



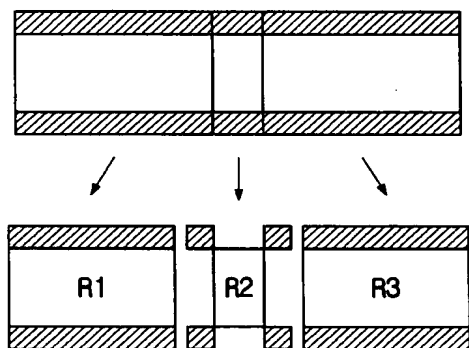
【도 7】



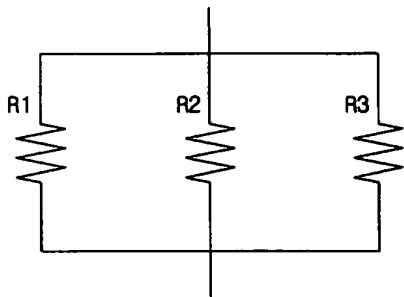
【도 8a】



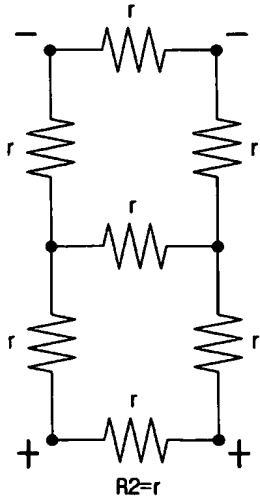
【도 8b】



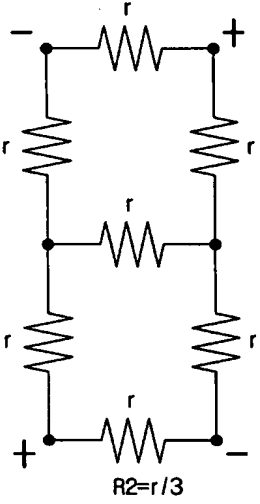
【도 9】



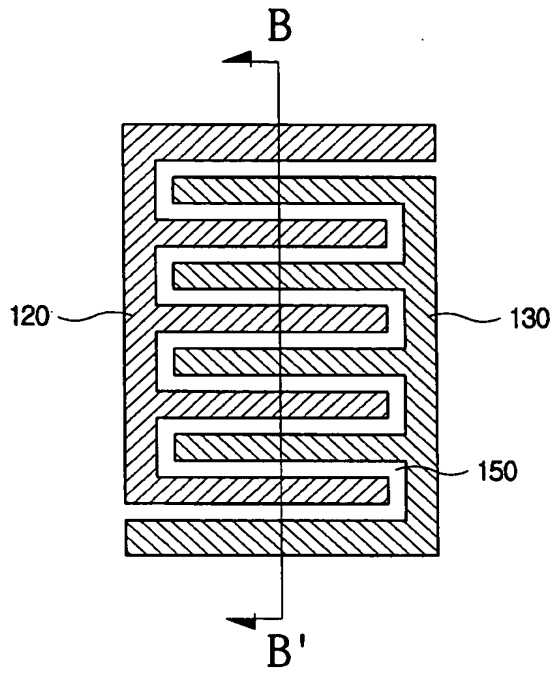
【도 10】



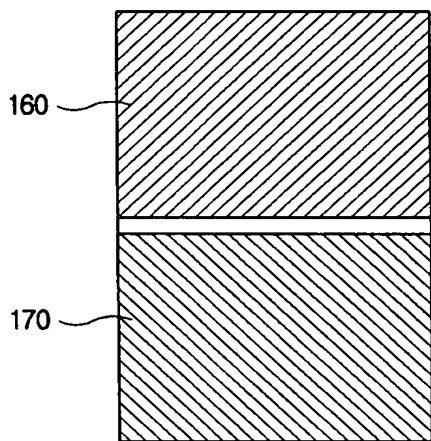
【도 11】



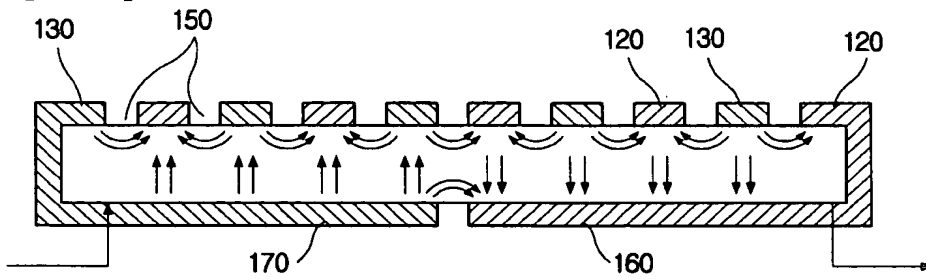
【도 12】



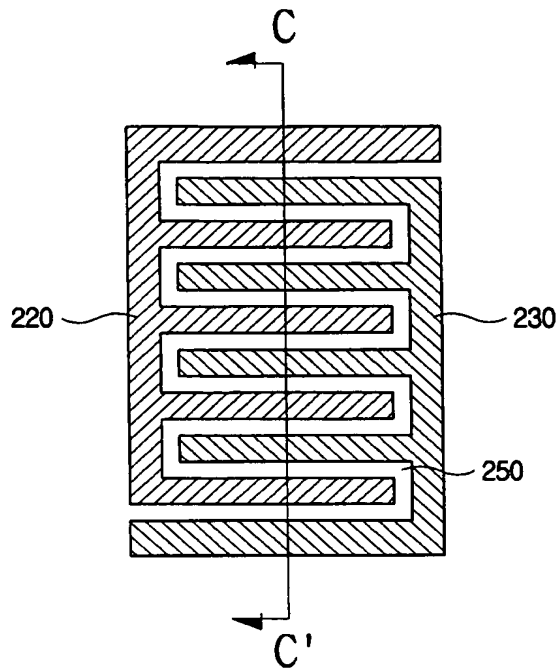
【도 13】



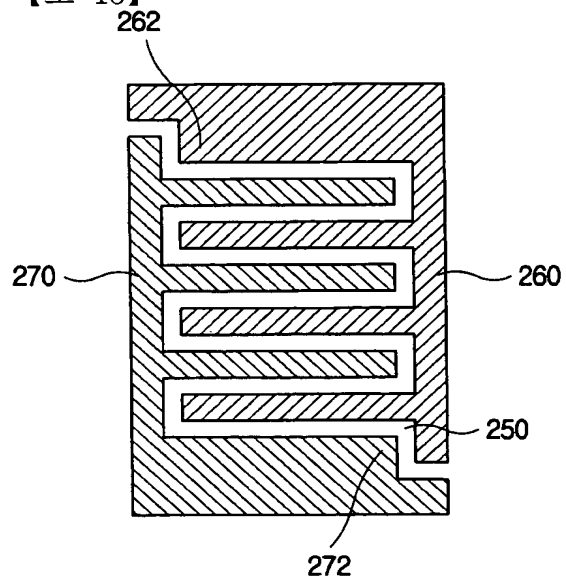
【도 14】



【도 15】



【도 16】



【도 17】

